

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.



(19)

(11) Publication number:

03203261 A

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **01344266**(51) Int'l. Cl.: **H01L 27/04 H01L 21/90**(22) Application date: **28.12.89**

(30) Priority:

(43) Date of application
publication: **04.09.91**(84) Designated contracting
states:(71) Applicant: **SONY CORP**(72) Inventor: **NAKAMURA MINORU**

(74) Representative:

**(54) SEMICONDUCTOR
DEVICE**

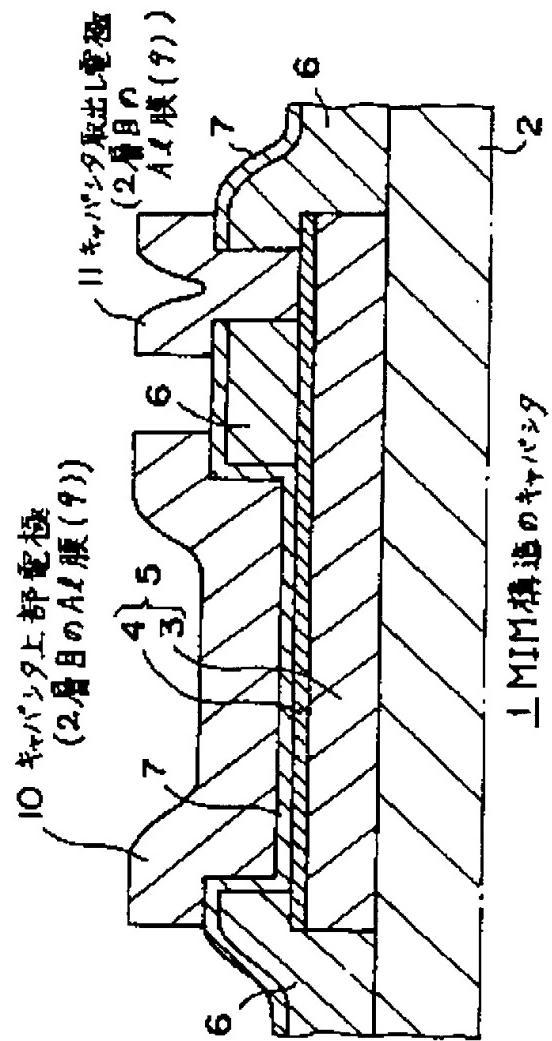
(57) Abstract:

PURPOSE: To prevent an insulating film from being destroyed by a hillock and a void by a method wherein a high-melting substance film is formed on a substratum metal thin film.

CONSTITUTION: An insulating film 7 is sandwiched between two metal thin films 3 to constitute a capacity. A high-melting substance film 4 is formed and constituted at least on the substratum metal thin film 3. For example, TiN, TiON, MoSi, WSi, TiSi, Ti, Mo, W or the like is used for the high-melting substance film 4. When the high-melting substance film 4 is formed on the substratum metal thin film 3, a hillock and a void are not produced in the metal thin film 3 at a later heat treatment, and the insulating film 7 is not destroyed. Thereby, the film thickness (t) of the insulating film 7 can be made thin, a capacity per unit area can be

increased, the area occupied by a capacitor 1 is reduced and a high integration can be realized.

COPYRIGHT: (C)1991,JPO&Japio



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

平3-203261

⑬ Int.Cl.⁵

H 01 L 27/04
21/90

識別記号

府内整理番号

C 7514-5F
U 6810-5F

⑭ 公開 平成3年(1991)9月4日

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-344266

⑰ 出 願 平1(1989)12月28日

⑱ 発明者 中村 稔 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代理人 弁理士 松隈 秀盛

明細書

発明の名称 半導体装置

特許請求の範囲

絶縁膜を2枚の金属薄膜で挟んで容量を構成する半導体装置において、少なくとも下地の金属薄膜上に高融点物質膜を形成してなる半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、絶縁膜を2枚の金属薄膜で挟んで容量を構成する半導体装置、即ち MIS構造のキャパシタに関する。

(発明の概要)

本発明は、絶縁膜を2枚の金属薄膜で挟んで容量を構成する半導体装置において、少なくとも下地の金属薄膜上に高融点物質膜を形成して構成することにより、金属薄膜のロック、ボイドによる絶縁膜の破壊を防止できるようにすると共に、単位面積当たりの容量の向上並びにキャパシタの占有面積の縮小化を図れるようにしたものである。

(従来の技術)

従来の半導体装置、特にキャパシタは、第4図に示すように、容量となる絶縁膜（例えばSiO₂膜やSi₃N₄膜等で構成される）(21)が金属薄膜(A2等) (22)とN型の高濃度シリコン層(23)で挟まれた所謂MIS構造となっている。尚、(24)は素子分離領域、(25)はSiO₂膜、(26)はキャパシタ取出し電極(A2等)である。上記キャパシタにおいて高濃度シリコン層(23)を用いるのは、寄生抵抗rを極力下げ、かつシリコン表面が空乏化しないようするためであるが、第5図の等価回路にも示すように、高濃度シリコン層(23)に～1×10⁻²Ω/cm程度の寄生抵抗rが生じ、N型のエピタキシャル層(27)とP型のシリコン基板(28)間に～1×10⁻⁶F/cm程度の寄生容量C_sが生じる。ここで、周波数特性を考えると、上記寄生抵抗r、寄生容量C_sの影響で高周波になるに従い容量Cが低下し、1GHz以上で高周波に対し適用不可となる。この容量Cの低下を防ぐためには、上記寄生抵抗rと寄生容量C_sをできるだけ小さくすること

特開平 3-203261(2)

とが必要である。

そこで、従来における高周波用のキャバシタとしては、第6図に示すように、絶縁膜(31)を2枚の金属薄膜(32)及び(33)で挟んだ所謂MIM構造のキャバシタ(34)が用いられている。ここで、絶縁膜(31)としては、アラズマSiN膜、アラズマSiO₂膜、SiO_x膜、PSG等が使用され、金属薄膜(32)及び(33)としては、Al膜、Al-Si膜、Al-Si-Cu膜等が用いられる。尚、(35)はフィールドSiO₂膜、(36)はキャバシタ取出し電極（通常、上記金属薄膜(32)と同じ膜が使用される）である。この第6図に示すMIM構造のキャバシタ(34)によれば、寄生抵抗 r 及び寄生容量 C_s が夫々 $\sim 3 \times 10^{-4} \Omega/cm$ 及び $-3 \times 10^{-12} F/cm^2$ となり、上記第4図で示すMIS構造のキャバシタの場合と比べ非常に小さくなる。

(発明が解決しようとする課題)

しかしながら、第6図で示す従来のキャバシタ(34)においては、金属薄膜(32)及び(33)にAlを

使用するため、その後の熱処理により、特に下地の金属薄膜(33)上面において所謂ヒロック(37)やボイド(38)が発生し、その結果、絶縁膜(31)が破れて、金属薄膜(32)及び(33)間が短絡するという不都合がある。

従って、従来においては、金属薄膜(32)及び(33)間の絶縁膜(31)の膜厚 t を厚く形成するようにして上記短絡を防止している。ところが、この絶縁膜(31)の膜厚 t が厚くなると、単位面積当たりの容量が小さくなるため、所望の容量を得るために、キャバシタ(34)の占有面積を広くとる必要があり、高集積化が実現できないという不都合がある。

本発明は、このような点に鑑み成されたもので、その目的とするところは、金属薄膜のヒロック、ボイドによる絶縁膜の破壊を防止できると共に、単位面積当たりの容量の向上並びにキャバシタの占有面積の縮小化を図ることができる半導体装置を提供することにある。

3

(課題を解決するための手段)

本発明の半導体装置は、絶縁膜(3)を2枚の金属薄膜(32)及び(33)で挟んで容量を構成する半導体装置(1)において、少なくとも下地の金属薄膜(3)上に高融点物質膜(4)を形成して構成する。

上記高融点物質膜(4)として、例えばTiN、TiON、MoSi、WSI、TiSi、Ti、Mo、W等を用いるを可とする。

(作用)

上述の本発明の構成によれば、少なくとも下地の金属薄膜(3)上に高融点物質膜(4)を形成するようにしたので、その後の熱処理において、金属薄膜(3)からはヒロックやボイドが発生しなくなり、絶縁膜(3)の破壊は生じなくなる。従って、絶縁膜(3)の膜厚 t をより薄膜化することが可能となり、その結果、単位面積当たりの容量が向上すると共に、キャバシタ(1)の占有面積も縮小化され、高集積化を実現させることができる。

4

(実施例)

以下、第1図～第3図を参照しながら本発明の実施例を説明する。

第1図は、本実施例に係る半導体装置、特にMIM構造のキャバシタ(1)の構成を製造工程に則して示す工程図である。以下、順にその工程を説明する。

まず、第1図Aに示すように、フィールドSiO₂膜(2)上に後にキャバシタ下部電極(5)となる1層目のAl膜(3)を形成したのち、ヒロック、ボイドの発生を防止する膜（以後、単にヒロック、ボイド発生防止膜と記す）(4)を形成する。このヒロック、ボイド発生防止膜(4)としては、TiN、TiON、MoSi、WSI、TiSi、Ti、Mo、W等の高融点金属、高融点金属化合物（高融点金属シリサイドや高融点金属ナイトライド等）が用いられる。

次に、第1図Bに示すように、1層目のAl膜(3)とヒロック、ボイド発生防止膜(4)を例えればRIE（反応性イオンエッティング）等でパターニングしてキャバシタ下部電極(5)を形成したのち、層間絶

5

—390—

6

特開平 3-203261(3)

膜(6)を例えばCVD(化学気相成長)法等で形成する。この層間絶縁膜(6)としては、プラズマSiN膜、プラズマSiO₂膜、CVD-SiO₂膜、PSG等が用いられる。

次に、第1図Cに示すように、キャバシタとして機能させる部分の層間絶縁膜(6)をプラズマエッチング、ウェットエッチング又は条件によってRIEにより除去する。このとき、ヒロック、ポイド発生防止膜(4)がエッチング除去されないように、エッティング液又はエッティングガスを選定して行なう。

次に、第1図Dに示すように、全面に容量としての絶縁膜(7)を形成する。この絶縁膜(7)としては、プラズマSiN膜、プラズマSiO₂膜、CVD-SiO₂膜、PSG等が用いられる。このとき、単位面積当たりの容量を大きくするために、絶縁膜(7)の膜厚tを薄くする。

次に、第1図Eに示すように、キャバシタ下部電極(5)上においてキャバシタとして機能する部分以外の箇所に絶縁膜(7)及び(6)を貫通する窓孔を形

成する。このとき、窓孔下のヒロック、ポイド発生防止膜(4)は除去されてもよい。

次に、第1図Fに示すように、全面に2層目のAl膜(9)を形成したのち、パターニングしてキャバシタ上部電極(10)及びキャバシタ取出し電極(11)を形成して本例に係るMIM構造のキャバシタ(1)を得る。

上述の如く、本例によれば、予め1層目のAl膜(3)上にヒロック、ポイド発生防止膜(4)を形成するようにしたので、その後(第1図F以降)の熱処理において、1層目のAl膜(3)からはヒロック、ポイドが発生しなくなり、1層目のAl膜(3)でのヒロック、ポイドの発生により生じていた絶縁膜(7)の破壊は生じなくなる。その結果、第1図Dで示す絶縁膜(7)の形成工程において、絶縁膜(7)の膜厚tを従来よりも薄膜化することが可能となり、単位面積当たりの容量が向上する。従って、所望の容量を得る場合、従来よりもキャバシタ(1)の占有面積が縮小化され、本例のキャバシタ(1)を有する集積回路の高集成化を実現させることができる。

上記実施例は、容量としての絶縁膜(7)を層間絶縁膜(6)とは別に形成するようにしたが、第2図に示すように、第1図Bにおける層間絶縁膜(6)をパターニングしないで、容量としての絶縁膜として使用するようにしてもよい。この場合、第1図C及びDの工程、即ち層間絶縁膜(6)をパターニングする工程及び絶縁膜(7)を形成する工程を省略することができ、工程の簡略化を図ることができる。

また、上記実施例は、1層目のAl膜(3)上のみにヒロック、ポイド発生防止膜(4)を形成したが、第3図に示すように、2層目のAl膜(9)、即ちキャバシタ上部電極(10)の下面にも上記ヒロック、ポイド発生防止膜(4)を形成するようにしてもよい。このキャバシタ上部電極(10)からのヒロック、ポイドの発生率は、キャバシタ下部電極(5)を構成する1層目のAl膜(3)よりも低いが、このキャバシタ上部電極(10)にもヒロック、ポイド発生防止膜(4)を形成することによってキャバシタ(1)の信頼性がより向上する。

また、ヒロック、ポイド発生防止膜(4)として、

特にTiN、TiONを用いれば、膜質が硬いこと、及びAlと反応しないことからキャバシタ(1)の信頼性を更に向上させることができる。

尚、上記実施例において、キャバシタ上部、下部電極(10)及び(5)並びにキャバシタ取出し電極(11)としてAl膜を用いたが、その他Al-Si膜やAl-Si-Cu膜等を用いてもよい。

〔発明の効果〕

本発明に係る半導体装置、特にMIM構造を有するキャバシタは、少なくとも下地の金属膜上に高融点物質膜を形成して構成するようにしたので、金属膜でのヒロック、ポイドの発生が防止され、ヒロック、ポイドによる絶縁膜の破壊が防止できると共に、単位面積当たりの容量の向上並びにキャバシタの占有面積の縮小化を図ることができる。図面の簡単な説明

第1図は本実施例に係るMIM構造のキャバシタの構成を製造工程に則して示す工程図、第2図及び第3図は他の実施例を示す構成図、第4図は從

特開平 3-203261(4)

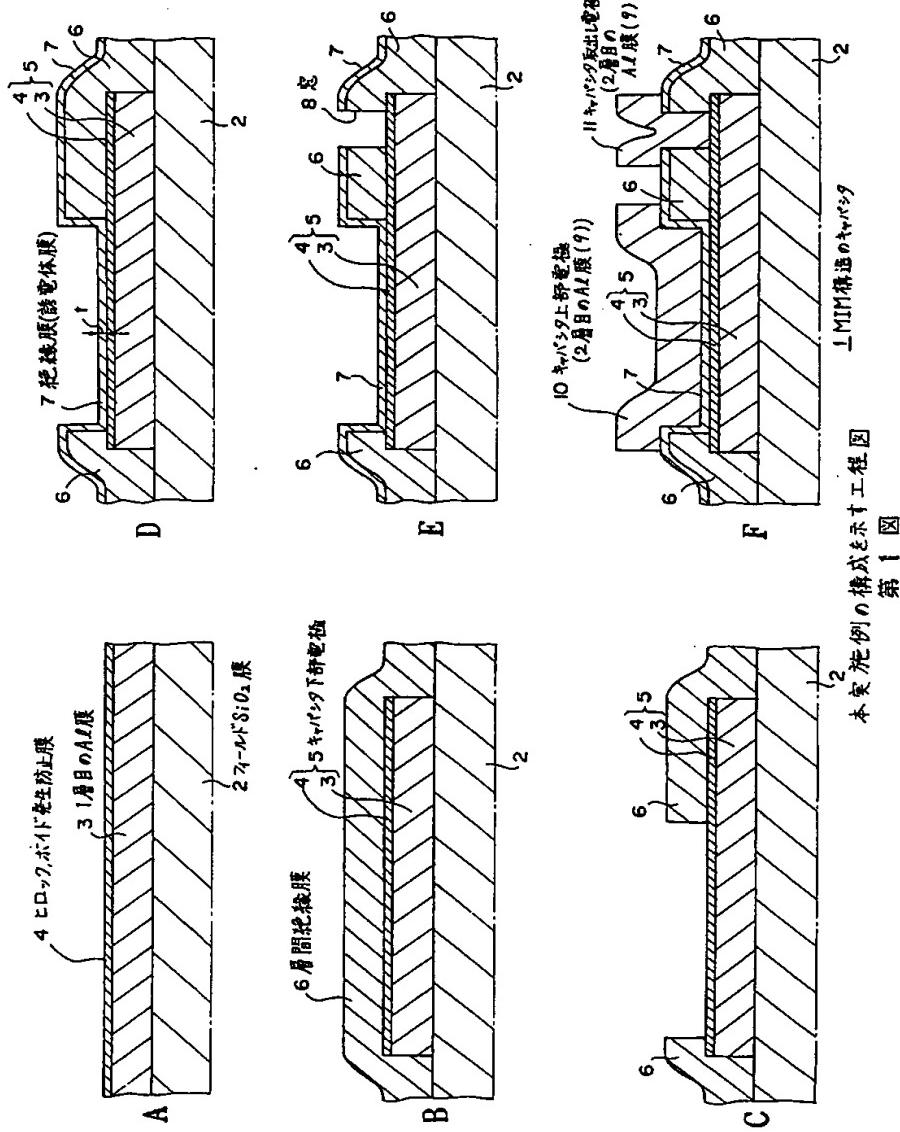
來例に係るMIS構造のキャパシタを示す構成図、
第5図はその等価回路図、第6図は従来例に係る
MIM構造のキャパシタを示す構成図である。

(1)はMIM構造のキャパシタ、(2)はフィールド
SiO₂膜、(3)は1層目のAl膜、(4)はヒロック、ボ
イド発生防止膜、(5)はキャパシタ下部電極、(6)は
層間絶縁膜、(7)は絶縁膜、(8)は2層目のAl膜、
(10)はキャパシタ上部電極、(11)はキャパシタ取
出し電極である。

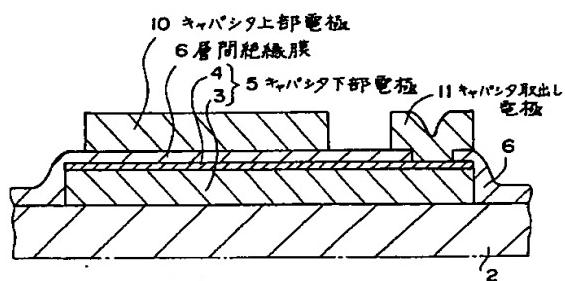
代理人 松隈秀盛

(5)

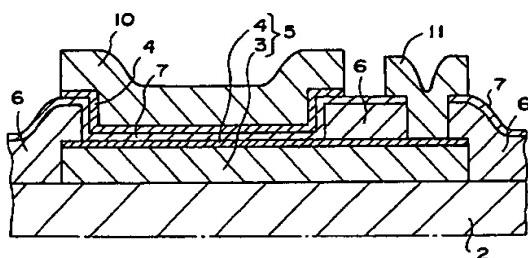
特開平 3-203261(5)



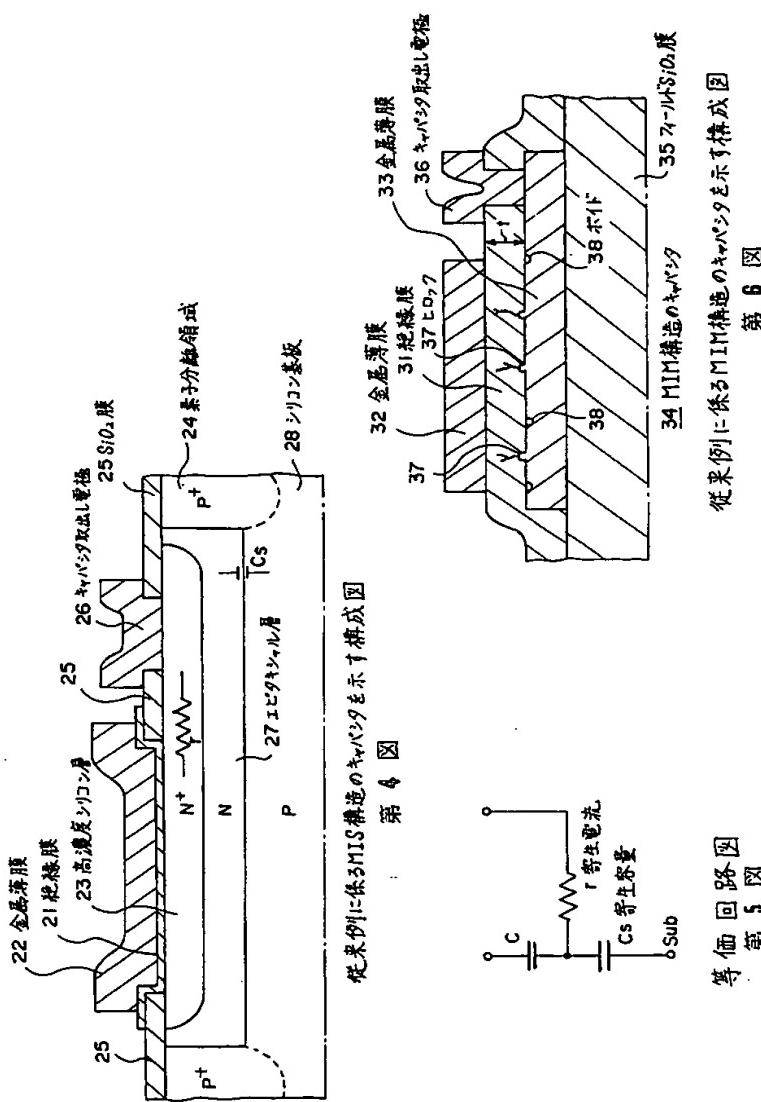
本実施例の構成を示す工程図 第1図



他の実施例を示す構成図
第 2 図



他の実施例を示す構成図
第 3 図



従来例に係るMIS構造のキャパシタを示す構成図
第 4 図

第 5 図

従来例に係るMIM構造のキャパシタを示す構成図
第 6 図

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成9年(1997)6月6日

【公開番号】特開平3-203261

【公開日】平成3年(1991)9月4日

【年通号数】公開特許公報3-2033

【出願番号】特願平1-344266

【国際特許分類第6版】

H01L 27/04

21/768

21/822

【F1】

H01L 27/04 C 9448-4M

21/90 V 9054-4M

手 続 業 正 告

平成 8 年 7 月 18 日

特許庁長官 荒井 寿光 殿

(1) 明細書中、第2頁12行～13行「Ω/cm」を「Ω・cm」に訂正する。
(2) 同、第3頁14行「Ω/cm」を「Ω・cm」に訂正する。

以 上

1. 事件の表示

平成 1 年 特 許 圖 第 344266 号

2. 補正をする者

事件との関係 特許出願人

住 所 東京都品川区北品川6丁目7番35号

名 称 (218) ソニコ株式会社

代表取締役 出井伸之

3. 代 理 人

住 所 東京都新宿区西新宿1丁目8番1号
TEL 03-3343-5821㈹ (新宿ビル)

氏 名 (8088) 井理士 松隈秀盛

4. 補正命令の日付 平成 年 月 日

5. 補正により増加する請求項の数

6. 補正の対象 明細書の発明の詳細な説明の箇。

7. 補正の内容